

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-208785

(P2003-208785A)

(43)公開日 平成15年7月25日(2003.7.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード(参考)
G 1 1 C 11/15		G 1 1 C 11/15	5 F 0 8 3
	11/14	11/14	A
			E
H 0 1 L 27/105		H 0 1 L 43/08	Z
43/08		27/10	4 4 7
審査請求 未請求 請求項の数15 O L (全 16 頁)			

(21)出願番号 特願2002-3749(P2002-3749)

(22)出願日 平成14年1月10日(2002.1.10)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 高田 裕

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 黒岩 丈晴

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

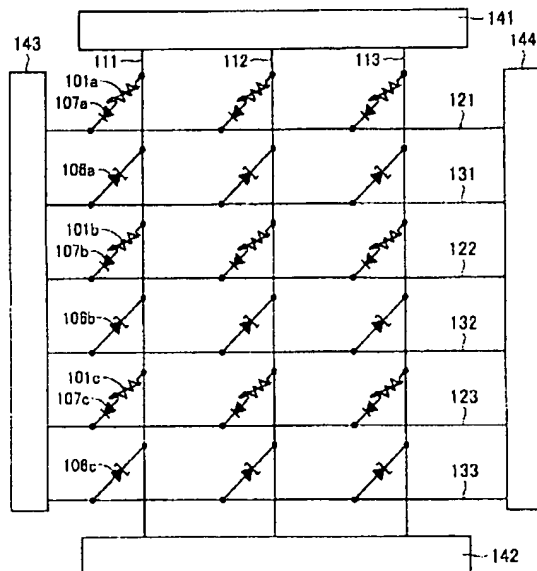
最終頁に続く

(54)【発明の名称】 磁気記憶装置ならびに磁気記憶装置の書き換えおよび読み出し方法

(57)【要約】

【課題】 磁気メモリセル間のクロストークを抑えるとともに、容易に製造可能な磁気記憶装置を提供する。

【解決手段】 マトリクス状に配置された磁気メモリセルと、この磁気メモリセルに対応して配置されたワード線121~123と、ビット線111~113と、デジット線131~133と、第1のダイオード106とを備え、磁気メモリセルは、ビット線とワード線とが交差する領域において、これらに電氣的に接続され、第1のダイオード106は、ビット線とデジット線とが交差する領域において、これらに電氣的に接続されている。さらに、磁気メモリセルは、ビット線に接続されたTMR素子101と、TMR素子101に接続され、かつワード線に接続された第2のダイオード107とを含んでいる。



【特許請求の範囲】

【請求項1】 第1導電線と、

前記第1導電線と交差するように設けられた第2導電線と、

前記第1導電線と前記第2導電線とが交差する領域において、前記第1導電線に電気的に接続され、かつ前記第2導電線に前記第2導電線の第1接続点にて電気的に接続された磁気メモリセルと、

前記第2導電線の第1接続点に隣接した前記第2導電線の第2接続点に電気的に接続された第1のスイッチング手段とを備え、

前記磁気メモリセルは、前記第2導電線に接続された磁気抵抗効果素子と、前記磁気抵抗効果素子に接続され、かつ前記第1導電線に接続された第2のスイッチング手段とを含む、磁気記憶装置。

【請求項2】 前記第1のスイッチング手段が、ダイオードまたは電界効果トランジスタである、請求項1に記載の磁気記憶装置。

【請求項3】 前記第1のスイッチング手段が、ダブルショットキーダイオードである、請求項1に記載の磁気記憶装置。

【請求項4】 前記第2のスイッチング手段が、ダイオードまたは電界効果トランジスタである、請求項1から3のいずれかに記載の磁気記憶装置。

【請求項5】 前記磁気メモリセルの磁化方向が前記第2導電線と交差するように、前記磁気メモリセルが配置されている、請求項1から4のいずれかに記載の磁気記憶装置。

【請求項6】 半導体基板と、

前記半導体基板の上に第1の方向に延在するように形成された第1導電層と、

前記第1導電層の上に前記第1の方向と交差する第2の方向に延在するように形成された第2導電層と、

前記第1導電層と前記第2導電層とが交差する領域において、前記第1導電層と前記第2導電層との間に介在して前記第2導電層の第1表面領域に接触するように形成された磁気メモリセルと、

前記第2導電層の第1表面領域に隣接した前記第2導電層の第2表面領域に接触するように形成された第1スイッチング素子とを備え、

前記磁気メモリセルは、前記第2導電層に接触して形成された磁気抵抗効果素子と、前記磁気抵抗効果素子に接続され、かつ前記第1導電層に接触して形成された第2スイッチング素子とを含む、磁気記憶装置。

【請求項7】 前記磁気抵抗効果素子は、反強磁性体層と、前記反強磁性体層の上に形成された第1の強磁性体層と、前記第1の強磁性体層の上に形成された絶縁層と、前記絶縁層の上に形成された第2の強磁性体層とを含む、請求項6に記載の磁気記憶装置。

【請求項8】  $m$ 行 $n$ 列( $m$ は2以上の整数、 $n$ は1以

上の整数)のマトリクス状に配置された( $m \times n$ )個の磁気メモリセルと、

前記磁気メモリセルに対応して各行に配置された $m$ 本の第1導電線と、

前記磁気メモリセルに対応して各列に配置された $n$ 本の第2導電線と、

前記磁気メモリセルに対応して各行に配置され、かつ隣り合う前記第1導電線の間に配置された( $m-1$ )本の第3導電線と、

10 前記磁気メモリセルに対応して配置された( $(m-1) \times n$ )個の第1のスイッチング手段とを備え、

前記磁気メモリセルは、前記各々の第1導電線と前記各々の第2導電線とが交差する領域において、前記各々の第1導電線と前記各々の第2導電線とに電気的に接続されており、

前記第1のスイッチング手段は、前記各々の第2導電線と前記各々の第3導電線とが交差する領域において、前記各々の第2導電線と前記各々の第3導電線とに電気的に接続されており、

20 さらに、前記磁気メモリセルのそれぞれは、前記各々の第2導電線に接続された磁気抵抗効果素子と、前記磁気抵抗効果素子に接続され、かつ前記各々の第1導電線に接続された第2のスイッチング手段とを含む、磁気記憶装置。

【請求項9】 前記第1のスイッチング手段が、ダイオードまたは電界効果トランジスタである、請求項8に記載の磁気記憶装置。

【請求項10】 前記第1のスイッチング手段が、ダブルショットキーダイオードである、請求項8に記載の磁気記憶装置。

【請求項11】 前記第2のスイッチング手段が、ダイオードまたは電界効果トランジスタである、請求項8から10のいずれかに記載の磁気記憶装置。

【請求項12】 前記磁気メモリセルの磁化方向がその磁気メモリセルが接続された前記各々の第2導電線と交差するように、前記磁気メモリセルのそれぞれが配置されている、請求項8から11のいずれかに記載の磁気記憶装置。

【請求項13】 前記磁気メモリセルのそれぞれは、第1の磁気メモリセルと第2の磁気メモリセルとを備え、

40 前記第1の磁気メモリセルの磁化方向と前記第2の磁気メモリセルの磁化方向とが互いに逆向きとなるように、前記第1の磁気メモリセルと前記第2の磁気メモリセルとが配置された、請求項8から12のいずれかに記載の磁気記憶装置。

【請求項14】  $m$ 行 $n$ 列( $m$ は2以上の整数、 $n$ は1以上の整数)のマトリクス状に配置された( $m \times n$ )個の磁気メモリセルと、前記磁気メモリセルに対応して各行に配置された $m$ 本の第1導電線と、前記磁気メモリセルに対応して各列に配置された $n$ 本の第2導電線と、前

記磁気メモリセルに対応して各行に配置され、かつ隣り合う前記第1導電線の間に配置された $(m-1)$ 本の第3導電線と、前記磁気メモリセルに対応して配置された $((m-1) \times n)$ 個の第1のスイッチング手段とを備え、前記磁気メモリセルは、前記各々の第1導電線と前記各々の第2導電線とが交差する領域において、前記各々の第1導電線と前記各々の第2導電線とに電氣的に接続されており、前記第1のスイッチング手段は、前記各々の第2導電線と前記各々の第3導電線とが交差する領域において、前記各々の第2導電線と前記各々の第3導電線とに電氣的に接続されており、さらに、前記磁気メモリセルのそれぞれは、前記各々の第2導電線に接続された磁気抵抗効果素子と、前記磁気抵抗効果素子に接続され、かつ前記各々の第1導電線に電氣的に接続された第2のスイッチング手段とを含む磁気記憶装置の書き換え方法であって、

前記 $n$ 本の第2導電線のうちから選択された第 $L$ 列( $L$ は1以上 $n$ 以下の整数)の第2導電線に第1の方向に向かって電流を流すことで生じる磁場により、前記第 $L$ 列の第2導電線に接続されたすべての磁気メモリセルにデータを書き込む第1のステップと、

前記第1のスイッチング手段を通じて、前記 $(m-1)$ 本の第3導電線のうちから選択された第 $K$ 行( $K$ は1以上 $(m-1)$ 以下の整数)の第3導電線から前記第 $L$ 列の第2導電線に向かって電流を流し、前記第 $L$ 列の第2導電線に前記第1の方向とは反対の第2の方向に電流が流れることで生じる磁場により、前記第1のステップにおいてデータが書き込まれた磁気メモリセルのうち、選択された磁気メモリセルのデータを書き換える第2のステップとを備えた、磁気記憶装置の書き換え方法。

【請求項15】  $m$ 行 $n$ 列( $m$ は2以上の整数、 $n$ は1以上の整数)のマトリクス状に配置された $(m \times n)$ 個の磁気メモリセルと、前記磁気メモリセルに対応して各行に配置された $m$ 本の第1導電線と、前記磁気メモリセルに対応して各列に配置された $n$ 本の第2導電線と、前記磁気メモリセルに対応して各行に配置され、かつ隣り合う前記第1導電線の間に配置された $(m-1)$ 本の第3導電線と、前記磁気メモリセルに対応して配置された $((m-1) \times n)$ 個の第1のスイッチング手段とを備え、前記磁気メモリセルは、前記各々の第1導電線と前記各々の第2導電線とが交差する領域において、前記各々の第1導電線と前記各々の第2導電線とに電氣的に接続されており、前記第1のスイッチング手段は、前記各々の第2導電線と前記各々の第3導電線とが交差する領域において、前記各々の第2導電線と前記各々の第3導電線とに電氣的に接続されており、さらに、前記磁気メモリセルのそれぞれは、前記各々の第2導電線に接続された磁気抵抗効果素子と、前記磁気抵抗効果素子に接続され、かつ前記各々の第1導電線に電氣的に接続された第2のスイッチング手段とを含む磁気記憶装置の読み出

し方法であって、

前記第2のスイッチング手段を通じて、前記 $n$ 本の第2導電線のうちから選択された第 $L$ 列( $L$ は1以上 $n$ 以下の整数)の第2導電線から前記 $m$ 本の第1導電線のうちから選択された第 $K$ 行( $K$ は1以上 $(m-1)$ 以下の整数)の第1導電線に向かって、選択された磁気メモリセルを介して電流を流すことで得られる電気信号を抽出することにより、選択された磁気メモリセルに書き込まれているデータを読み出す、磁気記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気記憶装置ならびに磁気記憶装置の書き換えおよび読み出し方法に関し、特に、TMR(Tunneling Magnetoresistive)素子を用いた磁気記憶装置ならびにこの磁気記憶装置の書き換えおよび読み出し方法に関する。

【0002】

【従来の技術】近年、DRAM(Dynamic Random Access Memory)やSRAM(Statistic Random Access Memory)に代わる次世代の半導体記憶装置として、MRAM(Magnetic Random Access Memory)が注目を浴びている。このMRAMは、理論上はSRAM並みの書き換え/読み出し時間とDRAM並みの集積度が実現可能であり、さらには無制限に書き換えができる不揮発性半導体記憶装置として脚光を浴びている。

【0003】MRAMでは、データを記憶する記憶素子としてTMR素子を使用することが検討されている。TMR素子は、2つの強磁性体層とその間に挟まれた薄い絶縁層からなるMTJ(Magnetic Tunneling Junction)と、一方の強磁性体層と接する反強磁性体層とを備えている。

【0004】反強磁性体層に接している方の強磁性体層は、反強磁性体層との間で交換結合が支配的になっており、その磁気モーメントが固定されている。この強磁性体層を固定層という。一方、反強磁性体層に接していない方の強磁性体層は、外部から磁場を与えることによってその磁化方向を容易に変更することができる。この性質を利用してメモリセルへのデータの書き換えが行なわれる。外部磁場によって磁化が反転するこの強磁性体層のことをフリー層という。

【0005】上記構造のTMR素子においては、固定層の磁化方向に対してフリー層の磁化方向を平行/反平行に制御することにより、トンネル磁気抵抗効果によって抵抗値が変動する。このトンネル磁気抵抗効果を利用してメモリセルに書き込まれたデータの読み出しが行なわれる。

【0006】一般に、TMR素子を用いた磁気記憶装置においては、互いに交差する2本の導電線を用い、この2本の導電線に電流を流すことによって生じる2方向の

磁場を用いてフリー層の磁化方向の書き換えが行なわれる。以下、この合成磁場を用いたデータの書き換え方法について、図を参照して説明する。

【0007】図15は、TMR素子に印加される磁場を示す図である。図に示すように、磁化方向を反転させるために必要な磁場の大きさは、曲線600で示されるアストロイド曲線となる。したがって、TMR素子601にデータを書き込む場合には、たとえばビット線611に矢印611aで示す方向に電流を流す。これにより、ビット線611の延在する方向と直交する方向に矢印1611で示す向きと大きさの磁場がTMR素子601に印加される。この磁場の向きは、磁化容易軸H<sub>easy</sub>と同じである。これと同時に、デジット線631に矢印631aで示す方向に電流を流す。これにより、デジット線631の延在する方向と直交する方向に矢印1631で示す向きと大きさをもった磁場がTMR素子601に印加される。この磁場の向きは、磁化困難軸H<sub>hard</sub>と同じである。

【0008】矢印1611で示す向きと大きさを有する磁場と、矢印1631で示す向きと大きさをもつ磁場とが合成されて、矢印1681で示す向きと大きさをもつ磁場が生じる。この磁場の大きさは、曲線600で表わされる閾値を超えているために、TMR素子601内のフリー層は、+H<sub>0</sub>で示す方向に磁化される。なお、フリー層を反対方向に磁化したい場合には、ビット線611に逆方向に電流を流せばよい。このようにして、データの書き込みが行なわれる。

【0009】合成磁場を用いてTMR素子にデータを書き込む磁気記憶装置として、TMR素子からなるメモリセルをマトリクス状に配置し、スイッチング手段としてトランジスタを用いて各TMR素子を選択する方式の磁気記憶装置が、米国特許第5734605号公報に開示されている。以下、この1MTJ+1トランジスタ型の磁気記憶装置について、図を参照して説明する。

【0010】図16は、1MTJ+1トランジスタ型のMRAMの等価回路図であり、図17は、メモリセル部分の概略断面図である。まず、図17を参照して、メモリセルの構造について説明する。シリコン基板760に、ゲート電極721、ソース/ドレイン領域771、772からなるトランジスタ770が形成されている。ゲート電極721は読み出し用のワード線(WL)を構成している。ゲート電極721上には、層間絶縁層793を介して書き換え用のデジット線(DL)731が形成されている。トランジスタ770のドレイン領域772にはコンタクトメタル791が接続され、さらにコンタクトメタル791には下地層792が接続されている。この下地層792上の書き換え用のデジット線731の上方に対応する位置に、TMR素子701が形成されている。このTMR素子701上にはビット線(BL)711が接続されている。

【0011】このような断面形状を有するメモリセルが、半導体基板上にマトリクス状に配置される。図16に示すように、トランジスタ770のゲート電極721からなる読み出し用のワード線721～723と、書き換え用のデジット線731～733とは平行に配置されている。また、トランジスタ770のドレインと接続されたTMR素子701の他端は、ビット線711～713に接続される。ビット線711～713は、ワード線721～723およびデジット線731～733と直交して配置されている。なお、トランジスタ770のソースは、接地されている。

【0012】以上の構成により、マトリクス状に配設されたトランジスタによってメモリセルが選択され、ワード線やビット線、デジット線に電流を流すことによってデータの書き換え/読み出しが行なわれる。

【0013】合成磁場を用いてTMR素子にデータを書き込む他の磁気記憶装置として、TMR素子からなるメモリセルをマトリクス状に配設し、スイッチング手段としてダイオードを用いて各TMR素子を選択する方式の磁気記憶装置が、米国特許第5640343号公報に開示されている。以下、このダイオードを用いた1MTJ+1ダイオード型の磁気記憶装置について、図を参照して説明する。

【0014】図18は、1MTJ+1ダイオード型のMRAMの等価回路図であり、図19はメモリセル部分の概略断面図である。まず、図19を参照して、メモリセル部分の構造について説明する。半導体基板860表面に形成されたp型層807aとn型層807bによって、ダイオード807が形成されている。さらにその上には、反強磁性体層802、強磁性体層803、絶縁層804、強磁性体層805からなるTMR素子801が積層形成されている。これら積層体を挟むように、書き込み用のビット線(BL)811とワード線(WL)821とが配置されている。

【0015】このような断面形状を有するメモリセルが、半導体基板上にマトリクス状に配置される。図18に示すように、ダイオード807とTMR素子801との積層体は、ワード線821～823に接続されている。TMR素子801の他端は、ワード線821と直交して配置されたビット線811～813が接続されている。

【0016】以上の構成により、マトリクス状に配設されたダイオードによってメモリセルが選択され、ワード線やビット線に電流を流すことによってデータの書き換え/読み出しが行なわれる。

【0017】

【発明が解決しようとする課題】上述のいずれの構造の磁気記憶装置にあっても、データの書き換え動作においては直交する2本の導電線の周りに発生する合成磁場を用いてフリー層の磁化方向を制御する。この場合、選択

されたTMR素子以外のTMR素子にも磁場が生じ、誤ったデータの書き換えが生じるいわゆるクロストークが発生する場合がある。特に、集積度を向上させるために隣接メモリセル間の距離が微細化された磁気記憶装置にあってはこのクロストークが顕著となり、書き換え不良が誘発される。

【0018】また、書き換え効率の向上を図るためには、TMR素子と書き換え線との間の絶縁膜を極めて薄くする必要があり、現状の半導体プロセス技術ではこの薄い絶縁膜を形成することが非常に困難である。

【0019】したがって、本発明の目的は、上述の問題点を解決すべくなされたものであり、クロストークの原因となる合成磁場を利用した書き換え動作を用いず、1本の導電線周りに生ずる磁場のみでデータの書き換えが行なわれる磁気記憶装置を提供することを目的とする。

【0020】また、本発明のもう1つの目的としては、この1本の導電線周りに生ずる磁場のみでデータの書き換えが行なわれる磁気記憶装置の書き換えおよび読み出し方法を提供することを目的とする。

【0021】

【課題を解決するための手段】本発明に基づく磁気記憶装置は、第1導電線と、第1導電線と交差するように設けられた第2導電線と、第1導電線と第2導電線とが交差する領域において、第1導電線に電気的に接続され、かつ第2導電線に第2導電線の第1接続点にて電気的に接続された磁気メモリセルと、第2導電線の第1接続点に隣接した第2導電線の第2接続点に電気的に接続された第1のスイッチング手段とを備えている。磁気メモリセルは、第2導電線に接続された磁気抵抗効果素子と、磁気抵抗効果素子に接続され、かつ第1導電線に接続され

た第2のスイッチング手段とを含んでいる。

【0022】このように構成された磁気記憶装置は、第2導電線に接続された第1のスイッチング手段によって電流経路の変更が可能となるため、合成磁場を用いず、第2導電線に流れる電流によって生じる単一の磁場のみによって、選択される磁気抵抗効果素子に対してデータの書き換えが可能となる。また、読み出しの際には、磁気抵抗効果素子と接続された第2のスイッチング手段によって電流経路の選択が可能となるため、選択的にデータを読み出すことが可能である。さらには、磁気メモリセルと書き込み用の導電線である第2の導電線とが電気的に接続されるため、薄い絶縁膜を形成する必要がなくなり、製造が容易になる。

【0023】上記本発明に基づく磁気記憶装置は、たとえば、第1のスイッチング手段がダイオードまたは電界効果トランジスタであることが好ましい。

【0024】このように、第1のスイッチング手段としてはダイオードや電界効果トランジスタの使用が可能である、このため、半導体基板上に直接ダイオードや電界効果トランジスタを形成することで磁気記憶装置の小型化

が可能である。

【0025】上記本発明に基づく磁気記憶装置は、たとえば、第1のスイッチング手段がダブルショットキーダイオードであることが好ましい。

【0026】第1のスイッチング手段としては、メモリセルのデータを書き換える際に第2導電線に順逆両方向の電流を流す必要があるため、ダブルショットキーダイオードのような双方向に同じ特性で電流が流せるスイッチング手段を用いることが望ましい。

10 【0027】上記本発明に基づく磁気記憶装置は、たとえば、第2のスイッチング手段がダイオードまたは電界効果トランジスタであることが好ましい。

【0028】このように、第2のスイッチング手段としてはダイオードや電界効果トランジスタの使用が可能である。このため、半導体基板上に直接ダイオードや電界効果トランジスタを形成することで磁気記憶装置の小型化が可能である。

20 【0029】上記本発明に基づく磁気記憶装置は、たとえば、磁気メモリセルの磁化方向が第2導電線と交差するように磁気メモリセルが配置されていることが望ましい。

【0030】本構成では、データを書き換えるための第1導電線に対して、磁気メモリセルの磁化方向が交差するように配置されているため、磁化方向を変える際の閾値を低く設定することが可能になる。これにより、合成磁場を用いて磁場方向を変更する磁気記憶装置と同等の電流量で磁気メモリセルの書き換えが可能となる。

30 【0031】本発明に基づく磁気記憶装置は、半導体基板と、半導体基板上に第1の方向に延在するように形成された第1導電層と、第1導電層の上に第1の方向と交差する第2の方向に延在するように形成された第2導電層と、第1導電層と第2導電層とが交差する領域において、第1導電層と第2導電層との間に介在して第2導電層の第1表面領域に接触するように形成された磁気メモリセルと、第2導電層の第1表面領域に隣接した第2導電層の第2表面領域に接触するように形成された第1スイッチング素子とを備えている。磁気メモリセルは、第2導電層に接触して形成された磁気抵抗効果素子と、磁気抵抗効果素子に接続され、かつ第1導電層に接触して形成された第2スイッチング素子とを含んでいる。

40 【0032】上記の如く磁気記憶装置を構成することにより、本発明に基づいた磁気記憶装置を半導体基板上に形成することが可能になる。この場合にも、第2導電層に接続された第1のスイッチング素子によって電流経路の変更が可能となるため、合成磁場を用いず、第2導電層に流れる電流によって生じる単一の磁場のみによって、選択される磁気抵抗効果素子に対してデータの書き換えが可能となる。また、読み出しの際には、磁気抵抗効果素子と接続された第2のスイッチング素子によって電流経路の選択が可能となるため、選択的にデータを読

み出すことが可能である。このように、半導体基板上に磁気記憶装置を形成することにより、磁気記憶装置の小型化が実現される。さらには、磁気メモリセルと書き込み用の導電層である第2の導電層とが電氣的に接続されるため、薄い絶縁膜を形成する必要がなくなり、製造が容易になる。

【0033】上記本発明に基づく磁気記憶装置は、たとえば、磁気抵抗効果素子は、反強磁性体層と、反強磁性体層の上に形成された第1の強磁性体層と、第1の強磁性体層の上に形成された絶縁層と、絶縁層の上に形成された第2の強磁性体層とを含んでいることが望ましい。

【0034】このように、磁気メモリセルを構成する磁気抵抗効果素子としては、トンネル磁気抵抗効果を有するTMR素子が用いられることが望ましい。上記構成の多層積層体からなるTMR素子を用いることにより、第2の強磁性層体の磁化方向が外部磁場によって容易にスイッチングされるため、高性能の磁気記憶装置を提供することが可能となる。

【0035】本発明に基づく磁気記憶装置は、 $m$ 行 $n$ 列（ $m$ は2以上の整数、 $n$ は1以上の整数）のマトリクス状に配置された（ $m \times n$ ）個の磁気メモリセルと、磁気メモリセルに対応して各行に配置された $m$ 本の第1導電線と、磁気メモリセルに対応して各列に配置された $n$ 本の第2導電線と、磁気メモリセルに対応して各行に配置され、かつ隣り合う第1導電線の間に配置された（ $m-1$ ）本の第3導電線と、磁気メモリセルに対応して配置された（（ $m-1$ ） $\times$ （ $n$ ））個の第1のスイッチング手段とを備えている。磁気メモリセルは、各々の第1導電線と各々の第2導電線とが交差する領域において、各々の第1導電線と各々の第2導電線とに電氣的に接続されている。第1のスイッチング手段は、各々の第2導電線と各々の第3導電線とが交差する領域において、各々の第2導電線と各々の第3導電線とに電氣的に接続されている。さらに、磁気メモリセルのそれぞれは、各々の第2導電線に接続された磁気抵抗効果素子と、磁気抵抗効果素子に接続され、かつ各々の第1導電線に接続された第2のスイッチング手段とを含んでいる。

【0036】このように、複数の磁気メモリセルをマトリクス状に配置し、このマトリクス状に配置された磁気メモリセルに対応するように第1導電線、第2導電線および第3導電線を配置し、さらに各々の交点にスイッチング手段を配置することにより、所望の磁気メモリセルを選択してデータの書き換えおよび読み出しを行なうことができる。上記構成とすることにより、複数の磁気メモリセルに個々にデータを格納することが可能となり、書き込み不良や読み出し不良の生じない高性能の磁気記憶装置を提供することが可能になる。

【0037】上記本発明に基づく磁気記憶装置は、たとえば、第1のスイッチング手段がダイオードまたは電界効果トランジスタであることが好ましい。

【0038】このように、多行多列に磁気メモリセルが配置された磁気記憶装置にあっても、第1のスイッチング手段としてはダイオードや電界効果トランジスタの使用が可能である。このため、半導体基板上に直接ダイオードや電界効果トランジスタを形成することで磁気記憶装置の小型化が可能である。

【0039】上記本発明に基づく磁気記憶装置は、たとえば、第1のスイッチング手段がダブルショットキーダイオードであることが好ましい。

10 【0040】このように、多行多列に磁気メモリセルが配置された磁気記憶装置にあっても、第1のスイッチング手段としては、メモリセルのデータを書き換える際に第2導電線に順逆両方向の電流を流す必要があるため、ダブルショットキーダイオードのような双方向に同じ特性で電流が流せるスイッチング手段を用いることが望ましい。

【0041】上記本発明に基づく磁気記憶装置は、たとえば、第2のスイッチング手段がダイオードまたは電界効果トランジスタであることが好ましい。

20 【0042】このように、多行多列に磁気メモリセルが配置された磁気記憶装置にあっても、第2のスイッチング手段としてはダイオードや電界効果トランジスタの使用が可能である。このため、半導体基板上に直接ダイオードや電界効果トランジスタを形成することで磁気記憶装置の小型化が可能である。

【0043】上記本発明に基づく磁気記憶装置は、たとえば、磁気メモリセルの磁化方向がその磁気メモリセルが接続された各々の第2導電線と交差するように、磁気メモリセルのそれぞれが配置されていることが望ましい。

30 【0044】このように、多行多列に磁気メモリセルが配置された磁気記憶装置にあっても、個々の磁気メモリセルがデータを書き換えるための第1導電線に対して、その磁化方向が交差するように配置されていることにより、磁化方向を変える際の閾値を低く設定することが可能になる。このため、合成磁場を用いて磁場方向を変更する磁気記憶装置と同等の電流量で磁気メモリセルの書き換えが可能となる。

40 【0045】上記本発明に基づく磁気記憶装置は、たとえば、磁気メモリセルのそれぞれは、第1の磁気メモリセルと第2の磁気メモリセルとを備えており、第1の磁気メモリセルの磁化方向と第2の磁気メモリセルの磁化方向とが互いに逆向きとなるように、第1の磁気メモリセルと第2の磁気メモリセルとが配置されていることが望ましい。

50 【0046】このように、1つのデータを格納する磁気メモリセルとして、相反する磁化方向となるように配置された第1および第2の磁気メモリセルから構成することにより、読み出し動作時の電気信号の差動検出が可能となる。このため周囲の環境に影響を受けず、確実にデ

## 11

ータの読み出しが行なえる磁気記憶装置を提供することが可能になる。

【0047】本発明に基づく磁気記憶装置の書き換え方法は、 $m$ 行 $n$ 列( $m$ は2以上の整数、 $n$ は1以上の整数)のマトリクス状に配置された( $m \times n$ )個の磁気メモリセルと、磁気メモリセルに対応して各行に配置された $m$ 本の第1導電線と、磁気メモリセルに対応して各列に配置された $n$ 本の第2導電線と、磁気メモリセルに対応して各行に配置され、かつ隣り合う第1導電線の間に配置された( $m-1$ )本の第3導電線と、磁気メモリセルに対応して配置された( $(m-1) \times n$ )個の第1のスイッチング手段とを備え、磁気メモリセルは、各々の第1導電線と各々の第2導電線とが交差する領域において、各々の第1導電線と各々の第2導電線とに電気的に接続されており、第1のスイッチング手段は、各々の第2導電線と各々の第3導電線とが交差する領域において、各々の第2導電線と各々の第3導電線とに電気的に接続されており、さらに、磁気メモリセルのそれぞれは、各々の第2導電線に接続された磁気抵抗効果素子と、磁気抵抗効果素子に接続され、かつ各々の第1導電線に電気的に接続された第2のスイッチング手段とを含む磁気記憶装置の書き換え方法であって、 $n$ 本の第2導電線のうちから選択された第 $L$ 列( $K$ は1以上 $n$ 以下の整数)の第2導電線に第1の方向に向かって電流を流すことで生じる磁場により、第 $L$ 列の第2導電線に接続されたすべての磁気メモリセルにデータを書き込む第1のステップと、( $m-1$ )本の第3導電線のうちから選択された第 $K$ 行( $K$ は1以上( $m-1$ )以下の整数)の第3導電線から第 $L$ 列の第2導電線に向かって電流を流し、第 $L$ 列の第2導電線に第1の方向とは反対の第2の方向に電流が流れることで生じる磁場により、第1のステップにおいてデータが書き込まれた磁気メモリセルのうち、選択された磁気メモリセルのデータを書き換える第2のステップとを備えている。

【0048】このように、本発明の磁気記憶装置の書き込み方法では、データの書き換えにあたって、まず第1のステップとして、選択された第2導電線に接続されたすべての磁気メモリセルにデータが書き込まれる。この後、第2のステップとして、第1のスイッチング手段を用いて電流経路を変更することにより、第1のステップにて書き込まれた磁気メモリセルのうちの所定の磁気メモリセルのデータが書き換えられる。この第2のステップを必要に応じて繰り返すことにより、選択された第2導電線に接続された磁気メモリセルすべてに所定のデータが書き換えられるようになる。さらにこの後、選択する第2導電線を変更することにより、マトリクス状に配置されたすべての磁気メモリセルの書き換えが行なわれる。

【0049】本発明に基づく磁気記憶装置の読み出し方法は、 $m$ 行 $n$ 列( $m$ は2以上の整数、 $n$ は1以上の整

## 12

数)のマトリクス状に配置された( $m \times n$ )個の磁気メモリセルと、磁気メモリセルに対応して各行に配置された $m$ 本の第1導電線と、磁気メモリセルに対応して各列に配置された $n$ 本の第2導電線と、磁気メモリセルに対応して各行に配置され、かつ隣り合う第1導電線の間に配置された( $m-1$ )本の第3導電線と、磁気メモリセルに対応して配置された( $(m-1) \times n$ )個の第1のスイッチング手段とを備え、磁気メモリセルは、各々の第1導電線と各々の第2導電線とが交差する領域において、各々の第1導電線と各々の第2導電線とに電気的に接続されており、第1のスイッチング手段は、各々の第2導電線と各々の第3導電線とが交差する領域において、各々の第2導電線と各々の第3導電線とに電気的に接続されており、さらに、磁気メモリセルのそれぞれは、各々の第2導電線に接続された磁気抵抗効果素子と、磁気抵抗効果素子に接続され、かつ各々の第1導電線に電気的に接続された第2のスイッチング手段とを含む磁気記憶装置の読み出し方法であって、 $m$ 本の第1導電線のうちから選択された第 $K$ 行( $K$ は1以上( $m-1$ )以下の整数)の第1導電線から、 $n$ 本の第2導電線のうちから選択された第 $L$ 列( $K$ は1以上 $n$ 以下の整数)の第2導電線に向かって、選択された磁気メモリセルを介して電流を流すことで得られる電気信号を検出することにより、選択された磁気メモリセルに書き込まれているデータを読み出すことを特徴としている。

【0050】このように、本発明の磁気記憶装置の読み出し方法は、読み出す磁気メモリセルが接続された第1導電線を選択し、この磁気メモリセルを構成する磁気抵抗効果素子の膜面と垂直な方向に電流が流れるように第2導電線へと電流を流す。このときに検出される電気信号により、磁気メモリセルに書き込まれているデータを読み出すことが可能になる。

【0051】

【発明の実施の形態】以下、本発明の実施の形態について、図を参照して説明する。

【0052】(実施の形態1)図1は、本発明の実施の形態1における不揮発性半導体磁気記憶装置の回路構成図である。図に示すように、本実施の形態における不揮発性半導体磁気記憶装置は、第2導電線であるビット線(BL)111~113と、このビット線111~113と交差するように延びる第1導電線であるワード線(WL)121~123と、同じくビット線111~113と交差し、ワード線121~123と平行に延びる第3導電線であるデジット線(DL)131~133とを備えている。ワード線121~123は、データ線131~133と組を成しており、互いに交互に配列されている。

【0053】本実施の形態における不揮発性半導体磁気記憶装置は、ビット線111~113の両端に第1の電流駆動手段141、142とを備えている。この第1の

電流駆動手段141、142は、ビット線111～113に選択的に電流を流す手段である。また、ワード線121～123およびデジット線131～133の両端に第2の電流駆動手段143、144を備えている。この第2の電流駆動手段143、144は、ワード線121～123およびデジット線131～133に選択的に電流を流す手段である。

【0054】ビット線111～113のそれぞれとワード線121～123のそれぞれは、メモリセルを介して電気的に接続されている。このメモリセルは、TMR素子101と、第2のダイオード107とが直列に接続されることによって構成されている。一方、ビット線111～113のそれぞれとデジット線131～133のそれぞれは、第1のダイオード106を介して電気的に接続されている。

【0055】図1に示すような回路構成を実現するために、本実施の形態における不揮発性半導体磁気記憶装置は、図2に示すような断面形状を備えている。図を参照して、本実施の形態における不揮発性半導体磁気記憶装置は、半導体基板上にTMR素子101を備えている。TMR素子101は、反強磁性体層102と、その反強磁性体層102の上に形成された強磁性体層（固定層）103と、その強磁性体層103の上に形成された薄い絶縁層104と、さらにその上に形成された強磁性体層（フリー層）105との多層積層体によって構成されている。このTMR素子101の上には、第2の導電層であるビット線111が紙面の横方向に延びている。一方、TMR素子101の下には第2のダイオード107が形成されており、この第2のダイオード107の下には第1の導電層であるワード線121が形成されている。また、ビット線111がTMR素子101と接する部分の近傍には、ビット線111の下方に向かって延びる第1のダイオード106が設けられており、その下端において第3の導電層であるデジット線131と接続されている。なお、これらの隙間には層間絶縁膜が形成されている。

【0056】以上の構成により、1つのメモリセルが形成されている。ビット線111の延伸方向（紙面横方向）には、複数のメモリセルが配列されており、また、図には示していないがワード線121～123の延伸方向（紙面垂直方向）にも複数のメモリセルが形成されている。

【0057】上述の構成の不揮発性半導体記憶装置の一部の形態では、書き込みの信頼性を向上させるために薄い絶縁層を介した導電層を使って書き込みをしていたが、そのような絶縁層は不要になる。

【0058】なお、図3に示すように、磁気メモリセルを構成するTMR素子101は、書き換え用の導電層であるビット線111に対してその磁気異方性の方向が交差するように配置されている。すなわち、磁化容易軸H

easyと磁化困難軸Hardとがビット線111と交差するようにTMR素子101が配置されている。ビット線111に矢印111aの方向に向かって電流を流した場合には、ビット線111の延在する方向と直交する矢印111bで示す方向と大きさの磁場がTMR素子101に印加される。この磁場の大きさは、曲線100で示される磁化方向を反転させるために必要な閾値を超えているために、TMR素子101内のフリー層は、+H<sub>0</sub>で示す方向に容易に磁化される。もし、TMR素子101が、磁化容易軸Easyや磁化困難軸Hardと重なるように配置された場合には、フリー層の磁化方向を反転させるための閾値が高く、容易にフリー層の磁化方向を反転させることができなくなる。

【0059】次に、上記構成の不揮発性半導体磁気記憶装置におけるメモリセルへの書き換えおよび読み出し動作について、図4～図8を参照して説明する。図4は、書き換えおよび読み出し動作時に、第1および第2の電流駆動手段によってビット線やワード線、デジット線に、選択的に電流を流すタイミングを示すタイミングチャートである。また、図5～図8は、それぞれ書き換え動作や読み出し動作時を示す回路模式図である。以下においては、TMR素子101aにデータ“1”を、TMR素子101bにデータ“0”を、TMR素子101cにデータ“1”を書き込み、さらにTMR素子101bに書き込まれたデータを読み出す動作を例示して説明する。なお、固定層103とフリー層105の磁化方向が平行である場合をデータ“0”とし、反平行である場合をデータ“1”とする。

【0060】まず、図4および図5～図7を参照して、各TMR素子にデータを書き込む動作を順を追って説明する。図5に示すように、第1のステップとして、第1の電流駆動手段141、142によってビット線111に矢印151で示される方向にパルス状の電流が流される（図4参照）。ビット線111に電流が流れることによって、ビット線111周りに磁場が発生する。この磁場は、ビット線111に隣接して配設されたTMR素子101a～cのそれぞれのフリー層105a～cの磁場を反転させるのに十分な磁場であり、フリー層105a～cの磁場が固定層103a～cの磁場と反平行状態となり、各TMR素子101a～cにデータ“1”が書き込まれる。このとき、TMR素子101a～cの書き換えは、従来の合成磁場を用いるのとは異なり、ビット線111に電流が流れることによって生ずる単一の磁場で書き換えが行なわれる。

【0061】図6に示すように、第2のステップとして、第1および第2の電流駆動手段141、144を用いて、デジット線131からビット線111へと矢印152で示す方向にパルス状の電流が流される（図4参照）。このとき、デジット線131とビット線111とは、第1のダイオード106aによって接続されてお



り、この第1のダイオード106aを介して電流が流れる。図から分かるように、ビット線131に流れる電流は、TMR素子101bおよび101cが接続された方向へと流れるため、このTMR素子101bおよび101cのフリー層105bおよび105cが磁場の影響を受けて固定層103bおよび103cの磁化方向と平行の状態へと変化し、TMR素子101bおよび101cにデータ"0"が書き込まれる。なお、このときTMR素子101aに隣接する部分のビット線111には電流が流れないため、第1のステップにおいてTMR素子101aに書き込まれたデータはそのまま保持される。

【0062】図7に示すように、第3のステップとして、第1および第2の電流駆動手段141、144を用いて、ビット線111からデジット線132へと矢印153で示される方向にパルス状の電流が流される(図4参照)。このとき、デジット線132とビット線111とは、第1のダイオード106bによって接続されており、この第1のダイオード106bを介して電流が流れる。図から分かるように、ビット線111に流れる電流は、TMR素子101cが接続された部分にのみ流れるため、このTMR素子101cのフリー層105cが磁場の影響を受けて固定層103cの磁化方向と反平行の状態へと変化し、TMR素子101cにデータ"1"が書き込まれる。なお、このときTMR素子101aおよび101bに隣接するビット線111の部分には電流が流れないため、第1および第2のステップにおいてTMR素子101aおよび101bに書き込まれたデータはそのまま保持される。

【0063】以上により、TMR素子101aにデータ"1"が、TMR素子101bにデータ"0"が、TMR素子101cにデータ"1"が書き込まれる。

【0064】次に、図4および図8を参照して、TMR素子101bに書き込まれたデータの読み出し動作について説明する。TMR素子101bに書き込まれたデータを読み出すには、第1および第2の電流駆動手段141、144を用いて、ビット線111からワード線122へと矢印154で示される方向にパルス状の電流が流される(図4参照)。このとき、ワード線122とビット線111とはTMR素子101bによって接続されているため、TMR素子101bの膜面と垂直な方向に電流が流れる。TMR素子はトンネル磁気抵抗効果により、書き込まれているデータ("0"または"1")によってその抵抗値が変動する。つまり、このときに流れる電流値を検出することにより、TMR素子101bに書き込まれたデータが"0"であるか"1"であるかが判別可能となる。本実施の形態では、TMR素子101bに書き込まれているデータは"0"(フリー層105bの磁場が固定層103bの磁場と平行状態)であるため、検出される電流値はデータ"1"に対して小さい値となる。

【0065】以上のように、本発明の実施の形態1に基づく不揮発性半導体磁気記憶装置においては、合成磁界を用いることなく、単一の導電線に電流を流すことによって生ずる単一の磁場のみで、データの書き換えが行なわれる。これにより、合成磁場を用いた場合のようなクロストークが低減され、書き込み不良や読み出し不良と言った誤動作の発生が防止される。

【0066】なお、本実施の形態の変形例として、図9に示すような回路構成が考えられる。本変形例では、ワード線221~223とビット線211~213とがトランジスタ208a~cを介して接続されている。より詳細には、トランジスタ208a~cのゲートがワード線221~223に接続され、トランジスタ208a~cのコレクタがTMR素子201a~cの下端に接続され、ドレインが接地されている。以上により、読み出し動作時に流れる電流経路をこのトランジスタ208a~cのON/OFF動作によって制御することが可能となる。

【0067】(実施の形態2)図10~12は、本発明の実施の形態2における不揮発性半導体磁気記憶装置の回路構成および書き込み動作を説明するための回路模式図である。なお、上述の実施の形態1と同様の部分については、その説明は繰り返さない。

【0068】まず、図10を参照して回路構成について説明する。本実施の形態における不揮発性半導体磁気記憶装置にあっては、ビット線311にループが設けられている。ビット線はBL1(311)と/BL1(311')の2本から構成されており、これらの間にトランジスタ309dが配設されている。このトランジスタ309dのゲートは、別途設けられたデジット線324に接続されている。また、デジット線331~333はトランジスタ309a~cのゲートに接続されており、このトランジスタのソースおよびドレインがそれぞれビット線であるBL1(311)と/BL1(311')に接続されている。

【0069】次に、図10~図12を参照して、本実施の形態の不揮発性半導体磁気記憶装置における書き込み動作について説明する。以下においても、上述の実施の形態1と同様に、TMR素子301aにデータ"1"を、TMR素子301bにデータ"0"を、TMR素子301cにデータ"1"を書き込む動作を例示して説明する。

【0070】まず、図10に示すように、第1のステップとして、トランジスタ309dをON動作させ、ビット線であるBL1(311)から/BL1(311')に向かって矢印351で示される方向にパルス状の電流を流す。これにより、ビット線311に隣接して配置されたTMR素子301a~cにデータ"1"が記録される。なお、このとき、トランジスタ309a~cはOFF状態としておく。

【0071】次に、図11に示すように、第2のステップとして、トランジスタ309aをON動作させ、ビット線である $\angle$ BL1(311')からBL1(311)に向かって矢印352で示す方向にパルス状の電流を流す。これにより、TMR素子301bおよび301cにデータ"0"が書き込まれる。このとき、TMR素子301aに隣接するビット線311には電流が流れないため、第1のステップにおいて記憶されたTMR素子301aのデータはそのまま保持される。なお、このとき、トランジスタ309dはOFF状態としておく。

【0072】さらに、図12に示すように、第3のステップとして、トランジスタ309bをON動作させ、ビット線であるBL1(311)から $\angle$ BL1(311')に向かって矢印353で示す方向にパルス状の電流を流す。これにより、TMR素子301cにデータ"1"が書き込まれる。このとき、TMR素子301aおよび301bに隣接する部分のビット線311には電流が流れないため、第1および第2のステップにおいて記憶されたTMR素子301aおよび301bのデータはそのまま保持される。なお、このとき、トランジスタ309a、309c、309dはOFF状態としておく。

【0073】以上により、TMR素子301aにデータ"1"が、TMR素子301bにデータ"0"が、TMR素子301cにデータ"1"が書き込まれる。なお、本実施の形態におけるTMR素子に書き込まれたデータの読み出しは、上述の実施の形態1と同様の動作で行なわれるため、その説明は繰り返さない。

【0074】以上のように、本発明の実施の形態2に基づく不揮発性半導体磁気記憶装置においても、上述の実施の形態1と同様の効果が得られる。なお、本実施の形態の変形例として、図13に示すような回路構成が考えられる。本変形例では、ワード線421~423とビット線411とがトランジスタ410a~cを介して接続されている。より詳細には、トランジスタ410a~cのゲートがワード線421~423に接続され、トランジスタ410a~cのコレクタがTMR素子401a~cの下端に接続され、ドレインが接地される。以上により、読み出し動作時に流れる電流経路をこのトランジスタ410a~cによって制御することが可能となる。

【0075】(実施の形態3)図14は、本発明の実施の形態3における不揮発性半導体磁気記憶装置の回路構成および書き込み動作を説明するための模式図である。なお、上述の実施の形態1および2と同様の部分については、その説明は繰り返さない。

【0076】図13に示すように、本実施の形態における不揮発性半導体磁気記憶装置は、ビット線にループが設けられており、いわゆる作動検出型の記憶装置となっている。ビット線はBL1(511)と $\angle$ BL1(511')の2本から構成されており、これらの間にトランジスタ509dが配設されている。このトランジスタ5

09dのゲートは、別途設けられたデジット線534に接続されている。ワード線521~523とBL1(511)との間には、第1の磁気メモリセルを構成するTMR素子501a~cが配置されており、ワード線521~523と $\angle$ BL1(511')との間には、第2の磁気メモリセルを構成するTMR素子501a'~c'が配置されている。第2の磁気メモリセルを構成するTMR素子501a'~c'の固定層502a'~c'の磁化方向は、第1の磁気メモリセルを構成するTMR素子501a~cの固定層502a~cの磁化方向と同じ方向となっている。また、デジット線531~533はトランジスタ509a~cのゲートに接続されており、このトランジスタ509a~cのソースおよびドレインがそれぞれビット線であるBL1(511)と $\angle$ BL1(511')に接続されている。

【0077】上記構成により、本実施の形態3における不揮発性半導体磁気記憶装置では、TMR素子502a~cと、これらTMR素子502a~cと組を成すTMR素子502a'~c'とによって作動検出が可能となるため、周囲の環境に影響を受けずにより確実にTMR素子に書き込まれたデータを読み出すことが可能となる。この結果、誤動作がさらに低減される。

【0078】上述の実施の形態1~3においては、3行3列の磁気抵抗効果素子を例示して説明を行なったが、行列数の数は任意である。また、上述の全ての実施の形態において、第1導電線のことをビット線、第2導電線のことをワード線、第3導電線のことをデジット線と称したがこれは便宜上名付けたものであり、他の呼び方であっても構わない。

【0079】また、上述の実施の形態1~3において説明した磁気メモリセルの選択の仕方はあくまで例示であり、この順で選択する必要はまったくない。たとえば、選択したビット線に接続されているすべての磁気メモリセルを同一データとする場合には、第2のステップは不要であり、ビット線に電流を流すのみでデータの書き換えが完了する。また、同一のビット線に接続された磁気メモリセルのうち、隣接する磁気メモリセルに書き込むデータが同一データである場合には、これらの間のビット線に接続された第1のスイッチング手段を用いる必要はなくなる。

【0080】さらには、上記においてはスイッチング素子としてダイオードおよびトランジスタを例示したが、たとえば双方向サイリスタなどの適用も考えられる。

【0081】このように、今回開示した上記各実施の形態はすべての点で例示であって、制限的なものではない。本発明の技術的範囲は特許請求の範囲によって画定され、また特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

【0082】

【発明の効果】本発明により、クロストークの原因とな

る合成磁場を利用した書き換え動作を用いず、単一の磁場で書き換えが行なわれる不揮発性半導体磁気記憶装置が構成可能となるため、誤作動の生じ難い不揮発性半導体磁気記憶装置を提供することが可能となる。

【0083】また、その製造プロセスにおいて、極めて薄い絶縁膜を必要としないため、容易に製造することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における不揮発性半導体磁気記憶装置の回路構成図である。

【図2】 本発明の実施の形態1における不揮発性半導体磁気記憶装置の構造を説明するための概略断面図である。

【図3】 本発明の実施の形態1における不揮発性半導体磁気記憶装置に用いる単一の磁場で磁気メモリセルの磁化方向を変化させる様子を示す模式図である。

【図4】 本発明の実施の形態1における不揮発性半導体磁気記憶装置の書き換え動作および読み出し動作を説明するタイミングチャートである。

【図5】 本発明の実施の形態1における不揮発性半導体磁気記憶装置の書き換え動作を説明するための第1段階図である。

【図6】 本発明の実施の形態1における不揮発性半導体磁気記憶装置の書き換え動作を説明するための第2段階図である。

【図7】 本発明の実施の形態1における不揮発性半導体磁気記憶装置の書き換え動作を説明するための第3段階図である。

【図8】 本発明の実施の形態1における不揮発性半導体磁気記憶装置の読み出し動作を説明するための図である。

【図9】 本発明の実施の形態1における不揮発性半導体磁気記憶装置の変形例を示した回路構成図である。

【図10】 本発明の実施の形態2における不揮発性半

導体磁気記憶装置の回路構成図、およびこの不揮発性半導体磁気記憶装置における書き換え動作を説明するための第1段階図である。

【図11】 本発明の実施の形態2における不揮発性半導体磁気記憶装置の書き換え動作を説明するための第2段階図である。

【図12】 本発明の実施の形態2における不揮発性半導体磁気記憶装置の書き換え動作を説明するための第3段階図である。

10 【図13】 本発明の実施の形態2における不揮発性半導体磁気記憶装置の変形例を示した回路構成図である。

【図14】 本発明の実施の形態3における不揮発性半導体磁気記憶装置の回路構成図、およびこの不揮発性半導体磁気記憶装置における書き換え動作を説明するための図である。

【図15】 従来の磁気記憶装置に用いられる合成磁場による磁気メモリセルの磁化方向を変化させる様子を示す模式図である。

【図16】 従来の不揮発性半導体磁気記憶装置の一例を示す回路構成図である。

【図17】 図16における不揮発性半導体磁気記憶装置の断面構造図である。

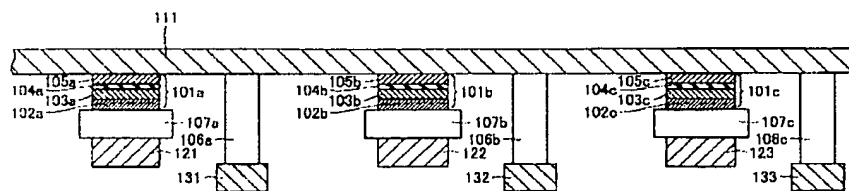
【図18】 従来の不揮発性半導体磁気記憶装置の他の例を示す回路構成図である。

【図19】 図18における不揮発性半導体磁気記憶装置の断面構造図である。

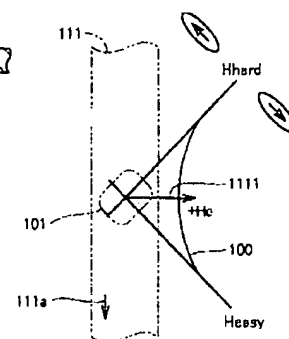
【符号の説明】

101a~c TMR素子、102a~c 反強磁性体層、103a~c 強磁性体層（固定層）、104a~c 絶縁層、105a~c 強磁性体層（フリー層）、106a~c 第1のダイオード、107a~c 第2のダイオード、111~113 ビット線、121~123 ワード線、131~133 デジット線。

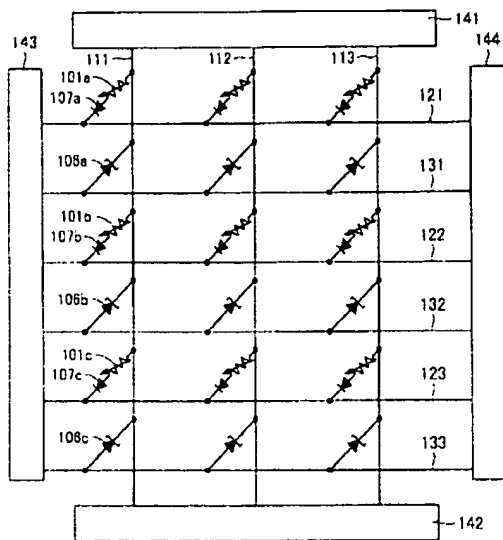
【図2】



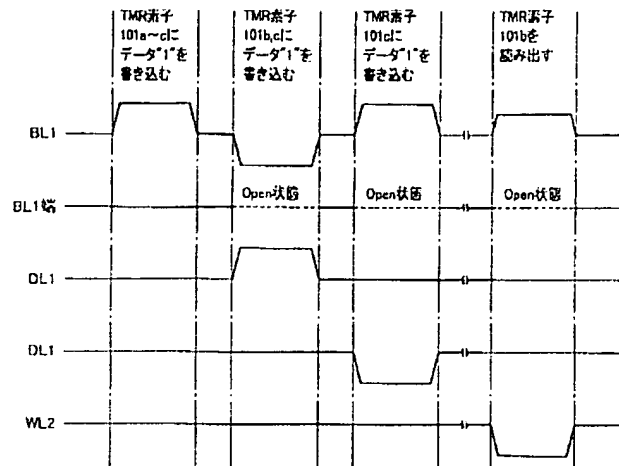
【図3】



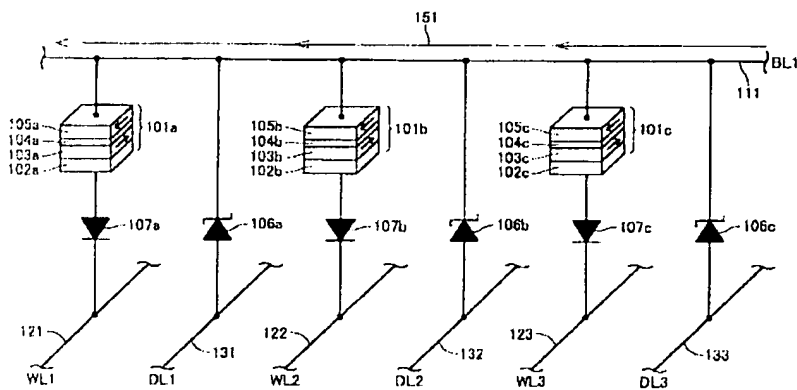
【図1】



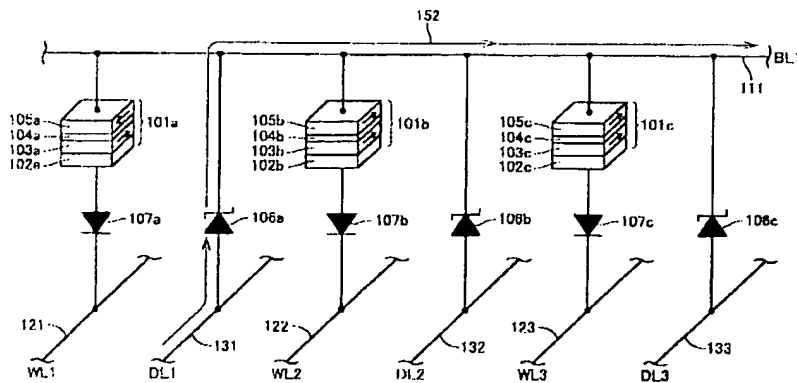
【図4】



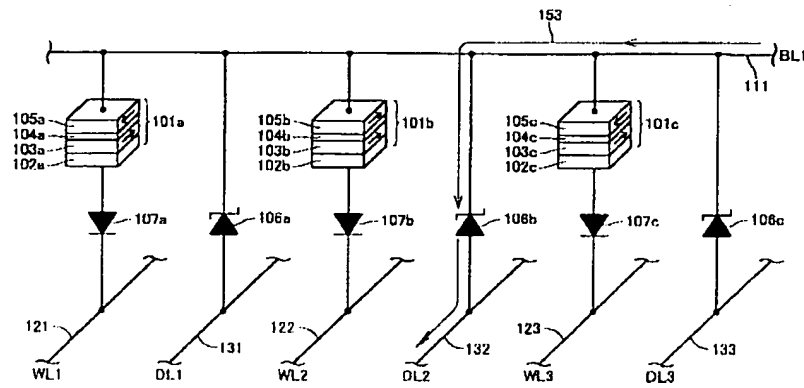
【図5】



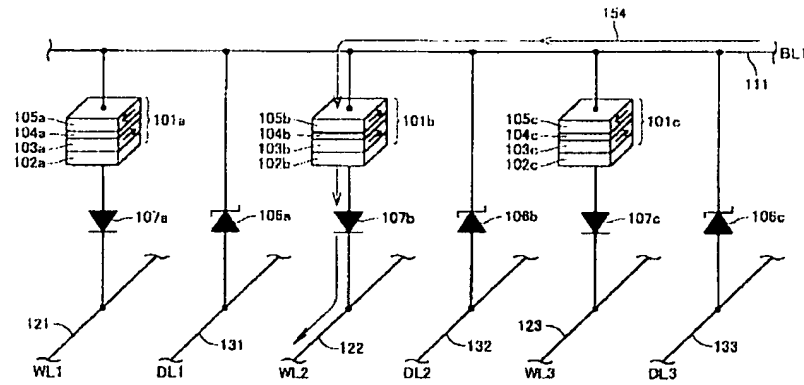
【図6】



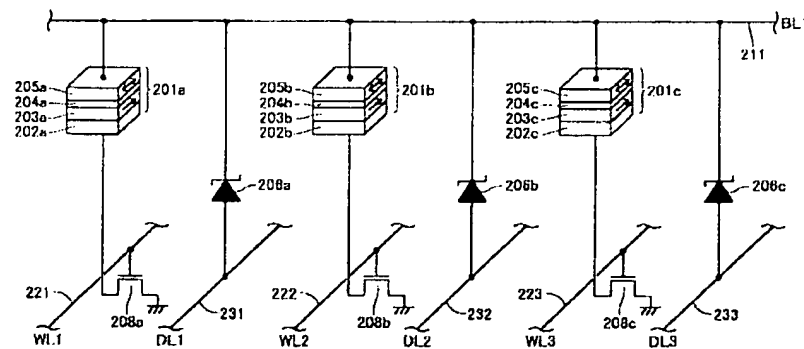
【図7】



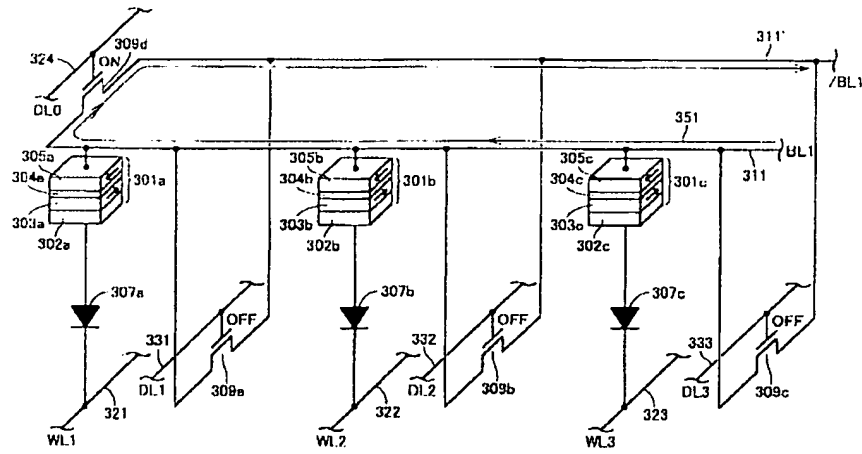
【図8】



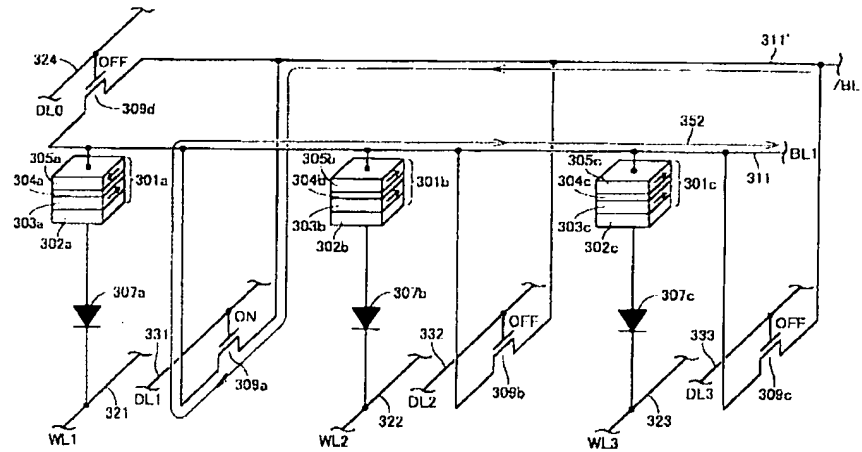
【図9】



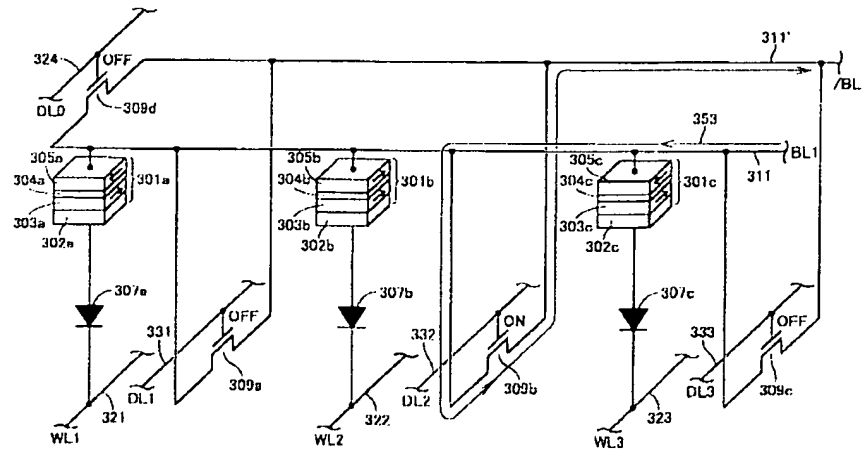
【図10】



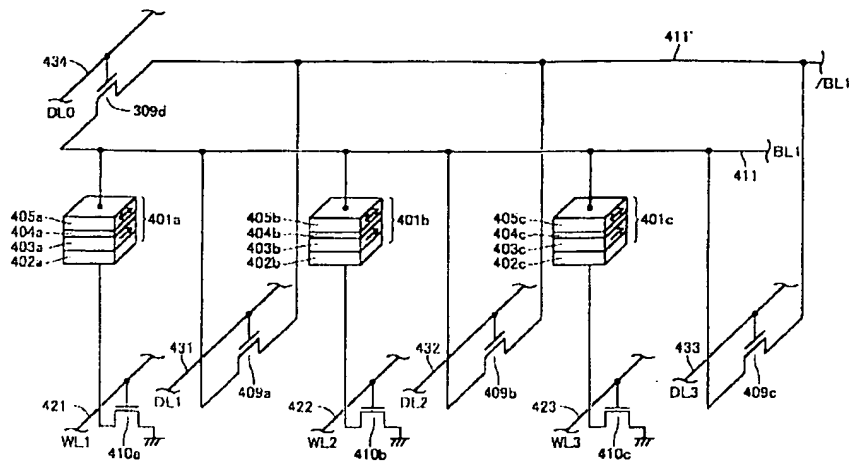
【図11】



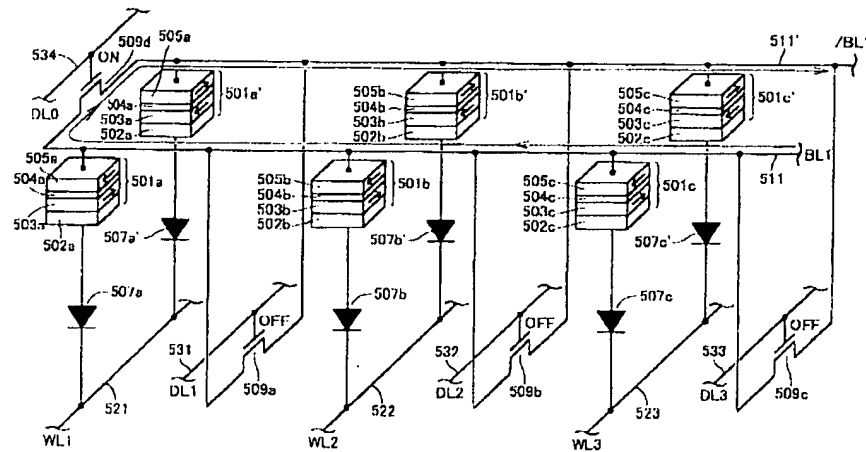
【図12】



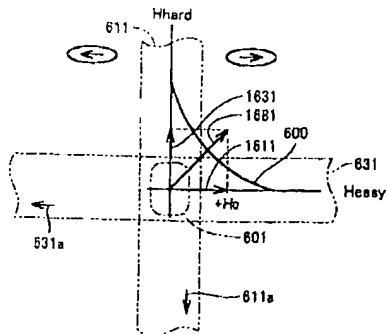
【図13】



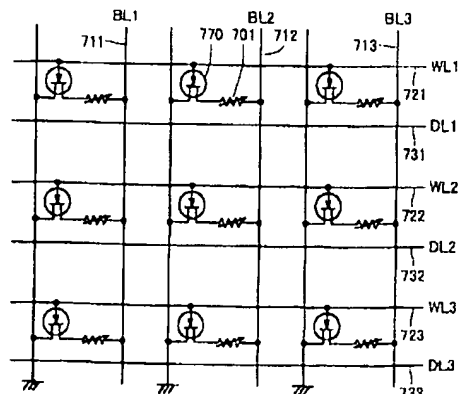
【図14】



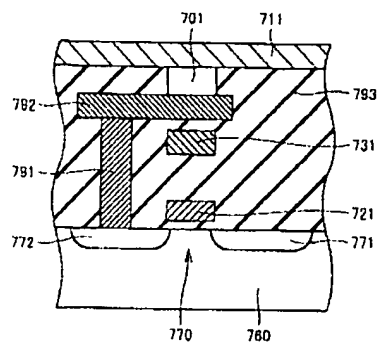
【図15】



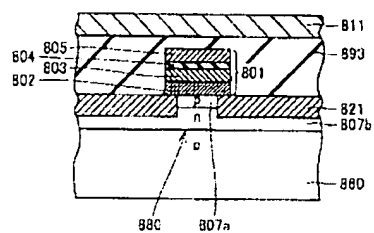
【図16】



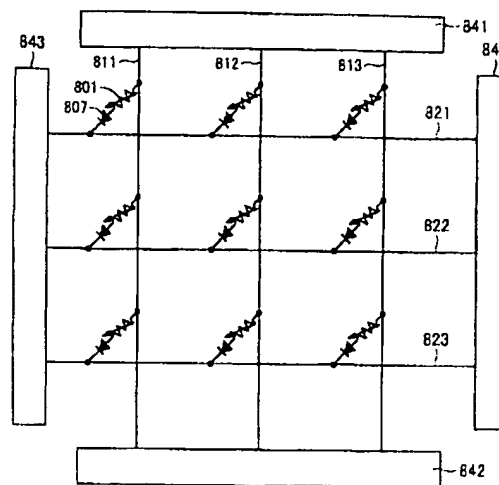
【図17】



【図19】



【図18】



フロントページの続き

(72)発明者 拜山 沙徳克  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 5F083 FZ10 GA15 KA01